

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-303437

(43) 公開日 平成10年(1998)11月13日

(51) Int.Cl.⁶

H 0 1 L 29/866
21/8222
27/06
21/8249

識別記号

F I

H 0 1 L 29/90
27/06

D

1 0 1 D
3 2 1 B

審査請求 未請求 請求項の数 8 O L (全 8 頁)

(21) 出願番号 特願平9-111509

(22) 出願日 平成9年(1997)4月28日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 大石 哲也

東京都品川区北品川6丁目7番35号 ソニー株式会社内

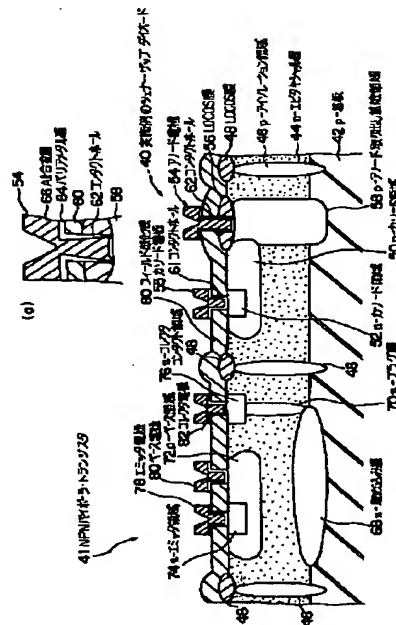
(74) 代理人 弁理士 高橋 光男

(54) 【発明の名称】 ツェナーザップダイオード及び半導体装置の製造方法

(57) 【要約】

【課題】 電極構造にバリアメタル層を有し、しかも安定したツェナー特性を有するツェナーザップダイオードを提供する。

【解決手段】 本ツェナーザップダイオード40は、アノード電極54及びカソード電極55の電極構造にバリアメタル層64を有する。活性領域を囲む素子分離用絶縁膜48とは別に、別の絶縁膜56が、フィールド酸化膜60の下に位置する、アノード電極54及びカソード電極55の少なくとも一方の電極54の電極形成領域に設けられている。フィールド酸化膜及び別の絶縁膜を貫通したアスペクト比の大きなコンタクトホール62が、一方の電極をその電極に対応する拡散領域58に接続するために開口されている。一方の電極は、コンタクトホールを埋めた、配線金属66及びその下層の薄いバリアメタル層64からなるコンタクトプラグを介して対応拡散領域に接続されている。電極と拡散領域とを接続するコンタクトホールのアスペクト比を大きくしてバリアメタル層の成膜の際のカバレッジを悪化させることによりバリアメタル層を薄膜化する。



【特許請求の範囲】

【請求項1】 アノード電極及びカソード電極の電極構造にバリアメタル層を有するツェナーザップダイオードにおいて、

アノード電極及びカソード電極の少なくとも一方の電極の電極形成領域のフィールド酸化膜の下に、別の絶縁膜が設けられ、

フィールド酸化膜及び別の絶縁膜を貫通したアスペクト比の大きなコンタクトホールが、一方の電極をその電極に対応する拡散領域に接続するために開口され、

一方の電極は、配線金属及びその下層の薄いバリアメタル層からなるコンタクトホール埋め込みプラグを介して対応拡散領域に接続されていることを特徴とするツェナーザップダイオード。

【請求項2】 別の絶縁膜が、活性領域を囲む素子分離用絶縁膜と同じ膜種で同じ膜厚であることを特徴とする請求項1に記載のツェナーダイオード。

【請求項3】 ツェナーザップダイオードのカソード領域及びアノード領域が、それぞれ、NPNバイポーラ・トランジスタのエミッタ拡散層及びベース拡散層により構成されていることを特徴とする請求項1又は2に記載のツェナーザップダイオード。

【請求項4】 請求項1から3のうちのいずれか1項に記載のツェナーザップダイオードと少なくともNPNバイポーラ・トランジスタとを有する半導体装置の製造方法であって、

NPNバイポーラ・トランジスタのエミッタ拡散層と、ツェナーザップダイオードのカソード領域とを同じ工程で形成し、

NPNバイポーラ・トランジスタのベース拡散層と、ツェナーザップダイオードのアノード領域とを同じ工程で形成することを特徴とする半導体装置の製造方法。

【請求項5】 請求項1から3のうちのいずれか1項に記載のツェナーザップダイオードと少なくともNPNバイポーラ・トランジスタとを有する半導体装置の製造方法であって、

NPNバイポーラ・トランジスタのコレクタ取り出し用n型プラグ拡散層と、ツェナーザップダイオードのカソード領域とを同じ工程で形成し、

NPNバイポーラ・トランジスタのp型アイソレーション拡散層とツェナーザップダイオードのアノード領域とを同じ工程で形成することを特徴とする半導体装置の製造方法。

【請求項6】 請求項1から3のうちのいずれか1項に記載のツェナーザップダイオードと少なくともNMOSFET及びPMOSFETを有する半導体装置の製造方法であって、

NMOSFETのソース／ドレイン拡散層とツェナーザップダイオードのカソード領域とを同じ工程で形成し、PMOSFETのソース／ドレイン拡散層とツェナーザ

ップダイオードのアノード領域とを同じ工程で形成することを特徴とする半導体装置の製造方法。

【請求項7】 請求項1又は2に記載のツェナーザップダイオードと少なくともNPNバイポーラ・トランジスタ及びPMOSFETを有する半導体装置の製造方法であって、

NPNバイポーラ・トランジスタのエミッタ拡散層と、ツェナーザップダイオードのカソード領域とを同じ工程で形成し、

10 PMOSFETのソース／ドレイン拡散層と、ツェナーザップダイオードのアノード領域とを同じ工程で形成することを特徴とする半導体装置の製造方法。

【請求項8】 請求項1又は2に記載のツェナーザップダイオードと少なくともNPNバイポーラ・トランジスタ及びNMOSFETを有する半導体装置の製造方法であって、

NMOSFETのソース／ドレイン拡散層と、ツェナーザップダイオードのカソード領域とを同じ工程で形成し、

20 NPNバイポーラ・トランジスタのベース拡散層と、ツェナーザップダイオードのアノード領域とを同じ工程で形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アノード電極及びカソード電極の電極構造にバリアメタル層を有するツェナーザップダイオードに関し、更に詳細には、安定したON抵抗値を有するツェナーザップダイオードに関し、更にそのようなツェナーザップダイオードと他の半導体素子とを同じ基板に有する半導体装置の製造方法に関するものである。

【0002】

【従来の技術】ツェナーザップダイオードは、NPNバイポーラ・トランジスタのエミッタ電極をカソード電極、ベース電極をアノード電極として構成するのが一般的である。従来、電極構造及び電極に接続する配線には、Al又はAl合金が使用されている。そして、トリミングの際には、アノード電極となるベースとカソード電極となるエミッタ間に逆方向の過大な電圧（及び電流）を印加してPN接合を破壊短絡する、いわゆる抵抗トリミングを行っていた。即ち、PN接合の逆方向に大電流が流れることによって、局所的な電流集中領域が発生し、その領域で局所的に温度が上昇する。そして、この領域で、キャリアの急激な増大を生じる温度に達すると、瞬間的に低抵抗領域になり、PN接合が破壊され、更に、その後続電流によりAlが溶融し、アノード－カソード電極間のSi界面に溶融したAlが流れることによってトリミングされると考えられている。局所的に温度が高くなる領域をホットスポットとも言う。ホットスポットが生じる原因としては、一般的に拡散の不均一、

結晶欠陥、熱放散の不均一などが考えられる。ところで、近年、半導体素子の微細化に伴い、配線層でのAl金属のマイグレーション抑制及びバイポーラ・トランジスタのコンタクト部分でのAlとSi間の反応の抑制のために、半導体素子の電極構造には、TiONのような高融点金属膜をバリアメタルとして使用することが一般的になって来た。ツェナーザップダイオードは、通常、他の半導体素子、例えばNPNバイポーラ・トランジスタ、MOSFET等と同じ基板上に同じプロセスで形成されることが多い。そのために、従来、AlまたはAl合金が使用されていたツェナーザップダイオードの電極構造でも、他の半導体素子と同様に、高融点金属膜がバリアメタルとしてAl合金層と拡散層との間に形成されるようになっている。

【0003】ここで、図5を参照して、バリアメタル層を金属配線に有する従来のツェナーザップダイオード10（以下、簡単にツェナーダイオード10と言う）の構成を説明する。ツェナーダイオード10は、図5に示すように、p型半導体基板12上に形成されたn型エピタキシャル半導体層14と、n型エピタキシャル層14内に形成されたp型アイソレーション領域16と、p型アイソレーション領域16上に形成されたLOCOS酸化膜18と、p型アイソレーション領域16及びLOCOS酸化膜18で囲まれたn型エピタキシャル層14内に形成されたp型ベース拡散領域（アノード領域）20と、p型ベース領域20内に形成されたn型エミッタ拡散領域（カソード領域）22とを有する。更に、n型エピタキシャル層14上にはフィールド酸化膜24が形成され、フィールド酸化膜24を貫通するコンタクトホールを介してアノード電極26及びカソード電極28が、それぞれ、p型ベース領域20及びn型エミッタ領域22に接続している。アノード電極26及びカソード電極28は、それぞれTiON等のバリアメタル層30とAl合金層32との積層電極構造を有する。

【0004】

【発明が解決しようとする課題】ところで、上述のツェナーダイオードのバリアメタル層を有する電極構造では、バリアメタル層としてTiONのような高融点金属がSi拡散層とAlとの間に形成されているために、そのような電極構造は、抵抗発熱によりAlとSiを反応させてアノード-カソード間を短絡させるツェナーダイオードの原理とは反していて、バリアメタルがAlフィラメントの形成を阻害する。このために、PN接合の破壊短絡時のON抵抗値がばらつくという問題があった。しかも、ツェナーザップダイオードは、通常、他の半導体素子、例えばバイポーラ・トランジスタ、MOSFET等と同一プロセス、同一工程で製造されるので、ツェナーダイオードの電極及び金属配線のみを、バリアメタル層を有しないAl又はAl合金の単独層で形成しようとすると、工程数の増大を招き、経済的に引き合わない。

また、Alフィラメントを安定して形成する方法として、PN接合の破壊短絡時に電界が集中し易い電極形状および拡散層のパターン形状が提案されているが、バリアメタルを使用する限り、バリアメタルがAlフィラメントの形成を阻害することには変わりはなく、その効果は不十分であった。

【0005】そこで、本発明の目的は、電極構造にバリアメタル層を有し、しかも安定したON抵抗値を有するツェナーザップダイオードを提供することである。

【0006】

【課題を解決するための手段】本発明者は、問題解決に当たり、以下のように考えた。すなわち、ツェナーザップダイオードは他の半導体素子と同じ基板上に同じプロセスで形成されることが前提であって、従って、ツェナーザップダイオードの電極構造の形成では、他の半導体素子、例えばMOSFET或いはバイポーラ・トランジスタの電極構造の形成と同じようにバリアメタル層成膜工程を実施することが必要である。さもないと、工程数が増加してコストが嵩むことになる。そこで、ツェナーザップダイオードを有する半導体装置の電極構造の形成に際して、ツェナーザップダイオードのバリアメタル層のみ、その厚さを極めて薄い厚さにすることができないかと考えた。そして、電極と拡散領域とを接続するコンタクトホールのアスペクト比を大きくしてバリアメタル層の成膜の際のカバレッジを悪化させることにより、バリアメタル層を薄膜化することを着想し、本発明を完成するに至った。

【0007】上記目的を達成するために、上述の知見に基づいて、本発明に係るツェナーザップダイオードは、アノード電極及びカソード電極の電極構造にバリアメタル層を有するツェナーザップダイオードにおいて、アノード電極及びカソード電極の少なくとも一方の電極の電極形成領域のフィールド酸化膜の下に、別の絶縁膜が設けられ、フィールド酸化膜及び別の絶縁膜を貫通したアスペクト比の大きなコンタクトホールが、一方の電極をその電極に対応する拡散領域に接続するために開口され、一方の電極は、配線金属及びその下層の薄いバリアメタル層からなるコンタクトホール埋め込みプラグを介して対応拡散領域に接続されていることを特徴としている。

【0008】本発明で形成されている別の絶縁膜の膜厚は、必要なアスペクト比のコンタクトホールを形成できる厚さである。好適には、別の絶縁膜が、活性領域を囲む素子分離用絶縁膜と同じ膜種で同じ膜厚であるようにする。これにより、別の絶縁膜と素子分離用絶縁膜とを同じプロセス工程で形成することができる。また、実際的には、ツェナーザップダイオードのカソード領域及びアノード領域が、それぞれ、NPNバイポーラ・トランジスタのエミッタ拡散層及びベース拡散層により構成されている。

【0009】本発明のツェナーザップダイオードの電極構造では、他の半導体素子のコンタクトホールに比べて、コンタクトホールのアスペクト比が、コンタクトホールが貫通する別の絶縁膜の厚さ分だけ大きくなるので、他の半導体素子と同じ工程でバリアメタル層を成膜する際にも、バリアメタル層のカバレッジが悪化し、コンタクトホールの底のバリアメタル層が極めて薄くなる。従って、ツェナーザップダイオードのPN接合の破壊短絡の際には、バリアメタル層が存在しないのと実質的に同じことになり、安定したON抵抗値を実現できる。本発明のツェナーザップダイオードでは、通常構造のバイポーラ素子の拡散層、或いはCMOSの拡散層をツェナーダイオードの拡散層として使用することができる。

【0010】本発明のツェナーザップダイオードと少なくともNPNバイポーラ・トランジスタとを有する半導体装置を製造する際には、NPNバイポーラ・トランジスタのエミッタ拡散層と、ツェナーザップダイオードのカソード領域とを同じ工程で形成し、NPNバイポーラ・トランジスタのベース拡散層と、ツェナーザップダイオードのアノード領域とを同じ工程で形成することもできる。

【0011】本発明のツェナーザップダイオードと少なくともNPNバイポーラ・トランジスタとを有する半導体装置を製造する際には、NPNバイポーラ・トランジスタのコレクタ取り出し用n型ブラグと、ツェナーザップダイオードのカソード領域とを同じ工程で形成し、NPNバイポーラ・トランジスタのp型アイソレーション拡散層と、ツェナーザップダイオードのアノード領域とを同じ工程で形成することもできる。

【0012】また、本発明のツェナーザップダイオードと少なくともNMOSFET及びPMOSFETを有する半導体装置を製造する際には、NMOSFETのソース／ドレイン拡散層とツェナーザップダイオードのカソード領域とを同じ工程で形成し、PMOSFETのソース／ドレイン拡散層とツェナーザップダイオードのアノード領域とを同じ工程で形成することもできる。

【0013】更には、本発明のツェナーザップダイオードと少なくともNPNバイポーラ・トランジスタ及びPMOSFETを有する半導体装置を製造する際には、NPNバイポーラ・トランジスタのエミッタ拡散層と、ツェナーザップダイオードのカソード領域とを同じ工程で形成し、PMOSFETのソース／ドレイン拡散層と、ツェナーザップダイオードのアノード領域とを同じ工程で形成することもできる。

【0014】更には、本発明のツェナーザップダイオードと少なくともNPNバイポーラ・トランジスタ及びNMOSFETを有する半導体装置を製造する際には、NMOSFETのソース／ドレイン拡散層と、ツェナーザップダイオードのカソード領域とを同じ工程で形成し、

NPNバイポーラ・トランジスタのベース拡散層と、ツェナーザップダイオードのアノード領域とを同じ工程で形成することもできる。

【0015】本発明に係るツェナーダイオードと他の半導体素子とを同じ基板上に有する半導体装置を形成するに際し、以上の方法により、プロセス工程数を増加することなく、他の半導体素子と共に同じプロセス工程で本発明に係るON抵抗値の安定したツェナーダイオードを形成できる。

【0016】

【発明の実施の形態】以下に、添付図面を参照し、実施例を挙げて、本発明の実施の形態を具体的かつ詳細に説明する。

実施例1

本実施例は、本発明に係るツェナーザップダイオードの実施例であって、NPNバイポーラ・トランジスタと同じプロセス、同じ工程で本発明に係るツェナーダイオードが形成されている例である。図1は、本実施例のツェナーダイオードとNPNバイポーラ・トランジスタとを並設してなる半導体装置の層構造を示す基板断面図である。本実施例のツェナーザップダイオード40（以下、簡単にツェナーダイオード40と言う）は、図1に示すように、NPNバイポーラ・トランジスタ41と同じ半導体基板42上に並設されている。

【0017】ツェナーダイオード40は、p型半導体基板42上に形成されたn型エピタキシャル半導体層44と、n型エピタキシャル層44内に形成されたp型アイソレーション領域46と、p型アイソレーション領域46上に形成された素子分離用のLOCOS酸化膜48と、p型アイソレーション領域46及びLOCOS酸化膜48で囲まれたn型エピタキシャル層44内に形成されたp型アノード領域50と、p型ベース領域50内に形成されたn型カソード領域52とを有する。p型アノード領域50及びn型カソード領域52には、それぞれアノード電極54及びカソード電極55が導通している。更に、ツェナーダイオード40は、アノード電極54の下に、素子分離用のLOCOS酸化膜48とほぼ同じ層厚の別のLOCOS酸化膜56と、LOCOS酸化膜56の下にあって、かつアノード領域50と隣接してn型エピタキシャル層44内に形成されたp型のアノード取り出し拡散領域58とを有する。更に、n型エピタキシャル層44及びLOCOS酸化膜48、56上にはフィールド酸化膜60が形成されている。アノード電極54は、フィールド酸化膜60及びLOCOS酸化膜56を貫通するコンタクトホールを埋め込んだコンタクトブラグを介して、アノード取り出し拡散領域58に導通し、カソード電極55は、フィールド酸化膜60を貫通するコンタクトホール61を介してn型カソード領域52に導通している。

【0018】アノード電極54は、図1(a)に示すよ

うに、コンタクトホール62の底でアノード取り出し拡散領域58に、側方でLOCOS酸化膜56及びフィールド酸化膜60に接するバリアメタル層、例えばTiON膜64と、バリアメタル層64に積層されたAl合金層66とから構成されている。カソード電極55もコンタクトホール61の底でカソード領域52に、側方でフィールド酸化膜60に接するバリアメタル層、例えばTiON膜64と、バリアメタル層64に積層されたAl合金層66とから構成されている。

【0019】アノード電極54のコンタクトホール62は、フィールド酸化膜60に加えてLOCOS酸化膜56を貫通しているためにアスペクト比が大きい。従って、コンタクトホール62内では、バリアメタル層64のカパレッジが悪く、特にコンタクトホール66の底部では、図1(a)に示すように、バリアメタル層64が極端に薄くなっている。よって、本実施例のツェナーダイオード40では、バリアメタル層64の厚さを殆ど考慮する必要がなく、Al合金層66が実質的にLOCOS酸化膜のSiに接触しているため、バリアメタル層を備えないツェナーザップダイオードと同様に安定したON抵抗値を示すことができる。

【0020】以下に、図2(a)及び(b)を参照しながら、NPNバイポーラ・トランジスタ41(以下、簡単にトランジスタ41と言う)の形成と並行して同じプロセス及び同じ工程で本実施例のツェナーダイオード40を形成する方法を説明する。まず、図2(a)に示すように、p型基板42にn型埋め込み層68を形成し、次いでn型エピタキシャル層44を形成する。次に、素子分離用のp型アイソレーション領域46と共にp型アノード取り出し拡散領域58を形成する。続いて、トランジスタ41のコレクタ取り出しとなるn型ブラグ層70を形成する。更に、素子分離用のLOCOS酸化膜48と共にツェナーダイオード40のアノード取り出し拡散領域58上にLOCOS酸化膜56をLOCOS酸化法により形成する。

【0021】次いで、図2(b)に示すように、トランジスタ41のp型ベース領域72と共にツェナーダイオード40のp型アノード領域50を形成する。更に、トランジスタ41のn型エミッタ領域74及びn型コレクタコンタクト領域76とツェナーダイオード40のn型カソード領域52とを同時に形成し、次いで基板全面にフィールド絶縁膜60を形成する。

【0022】更に、図1に示すように、トランジスタ41のエミッタ電極78、ベース電極80及びコレクタ電極82と、ツェナーダイオード40のカソード電極55を形成するために、フィールド酸化膜60を貫通するコンタクトホール61を開口し、またアノード電極54を形成するためにフィールド酸化膜60及びLOCOS酸化膜56を貫通するコンタクトホール62を同一工程で開口する。続いて、電極取り出し用金属としてバリアメ

タル層64、Al合金層66を成膜し、パターニングする。

【0023】このようにして各電極を形成したことにより、他のエミッタ電極78、ベース電極80、コレクタ電極82及びカソード電極55のコンタクトホール61に比べて、ツェナーダイオード40のアノード電極54のコンタクトホール62は、LOCOS酸化膜56の膜厚だけ深くなるために、アノード取り出し拡散領域58に接触する電極エッジでのバリアメタル層64のカパレッジが悪化する。このために、ツェナーダイオード40のPN接合の破壊短絡時にはバリアメタル層62が破れ易くなり、安定したオン抵抗値が得られる。よって、プロセス数を増加させることなく、安定したオン抵抗値を有するツェナーダイオードを実現している。

【0024】実施例2

本実施例は、本発明に係るツェナーダイオードの別の実施例であって、実施例1と同じ構成のNPNバイポーラ・トランジスタと同じ基板上に並設されている。図3は、本実施例のツェナーダイオード及びNPNバイポーラ・トランジスタを並設してなる半導体装置の層構造を示す基板断面図である。図3及び実施例3の図4に示す部位のうち、図1及び図2と同じ部位を示すものには同じ符号を付し、その説明を省略する。本実施例のツェナーダイオード84は、図3に示すように、実施例1のツェナーダイオード40のp型アノード取り出し領域58に隣接し、n型カソード領域52を取り囲むn型カソード拡散領域86を備えていることを除いて、実施例1のツェナーダイオード40と同じ構成を有する。また、本実施例では、ツェナーダイオード84と同じ基板上に図1のトランジスタ41と同じ構成のトランジスタが形成されている。n型カソード拡散領域86は、n型カソード領域52よりn型不純物濃度が薄い領域である。

【0025】本実施例では、トランジスタ41のコレクタ取り出し用n型ブラグ層70の形成と同じ工程でツェナーダイオード84のn型カソード拡散領域86を形成し、またp型アイソレーション領域46の形成と同じ工程でツェナーダイオード84のp型アノード取り出し領域58を形成している。よって、本実施例は、プロセス数を増加することなく、実施例1のツェナーダイオード40と同じ効果を奏することができるツェナーダイオードを実現している。

【0026】実施例3

本実施例は、本発明に係るツェナーダイオードの別の実施例であって、PMOSFET及びNMOSFETと同じ基板上に並設されている。図4は、本実施例のツェナーダイオード、PMOSFET及びNMOSFETを並設してなる半導体装置の層構造を示す基板断面図である。本実施例のツェナーダイオード90は、図4に示すように、NMOSFET91とPMOSFET92と同じp型基板42上に形成されている。ツェナーダイオ

ド90は、アノード電極54とカソード電極55との間でアノード取り出し拡散領域58に隣接してp-ウェル93を備え、p-ウェル93内であってカソード電極55の下にn型カソード領域94、n型カソード領域94に隣接してp型アノード領域96を有することを除いて実施例1のツェナーダイオード40と同じ構成を有する。NMOSFET91及びPMOSFET92は、図4に示すように、通常の構造で構成され、NMOSFET91は、p-ウェル93内にn型ソース/ドレイン領域98、ゲート酸化膜100、及びその上にゲート102を、またPMOSFET92は、p型ソース/ドレイン領域104、ゲート酸化膜106、及びその上にゲート108を有する。

【0027】ツェナーダイオード90は、p-ウェル93がNMOSFET91のp-ウェル93と同じ工程で、カソード領域94がNMOSFETのソース/ドレイン98と同じ工程で、またアノード領域96がPMOSFET92のソース/ドレイン104と同じ工程で、それぞれ、形成される。これにより、本実施例は、プロセス数を増加することなく、実施例1のツェナーダイオード40と同じ効果を奏することができるツェナーダイオードを実現している。

【0028】実施例4

BiCMOSでは実施例1から実施例3を組み合わせた構造、例えばNMOSFETのソース/ドレインと同じ工程でカソード領域を形成し、NPNバイポーラ・トランジスタのベースと同じ工程でアノード領域を形成するようにすることもできる。

【0029】

【発明の効果】本発明によれば、ツェナーザップダイオードの拡散層として通常のバイポーラ素子やCMOSの拡散層を使用し、アノード電極及びカソード電極の少なくとも一方の電極の電極形成領域のフィールド酸化膜の下に、別の絶縁膜を設け、フィールド酸化膜及び別の絶縁膜を貫通したアスペクト比の大きなコンタクトホールを開口し、配線金属及びその下層の薄いバリアメタル層からなるコンタクトホール埋め込みプラグを介して一方の電極を対応拡散領域に接続することにより、電極構造は、バリアメタルの成膜時のカバレッジの悪化により、薄膜化したバリアメタル層を有する。これにより、PN接合の短絡破壊時には、バリアメタル層が存在しないのとはほぼ等価になり、プロセス工程の追加無しにON抵抗値に優れたツェナーザップダイオードを実現できる。本発明方法は、プロセス工程の追加無しに、本発明のツェナーダイオードと他の半導体素子とを並設させた半導体装置を製造する方法を実現している。

【図面の簡単な説明】

【図1】図1は実施例1のツェナーダイオード及びそれと並設されたNPNバイポーラ・トランジスタを有する半導体装置の層構造を示す断面図、図1(a)はアノード電極の拡大断面図である。

【図2】図2(a)及び(b)は、図1の半導体装置を製造する際の工程毎の基板断面図である。

【図3】実施例2のツェナーダイオードとNPNバイポーラ・トランジスタとを並設してなる半導体装置の層構造を示す基板断面図である。

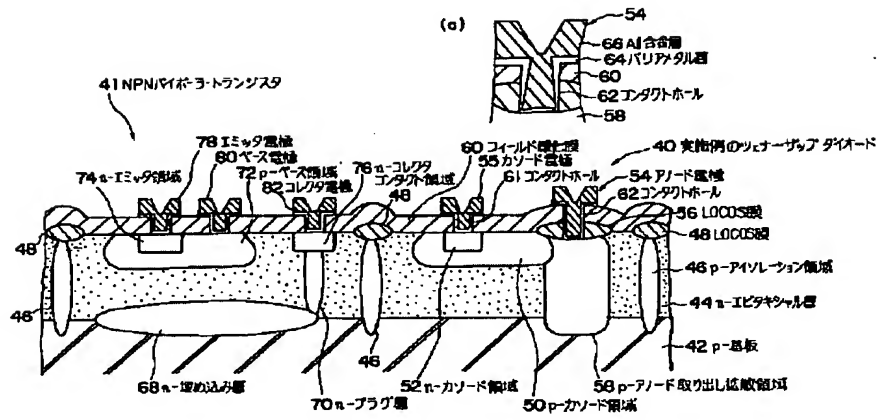
【図4】実施例3のツェナーダイオード、PMOSFET及びNMOSFETとを並設してなる半導体装置の層構造を示す基板断面図である。

【図5】従来のツェナーザップダイオードの層構造を示す基板断面図である。

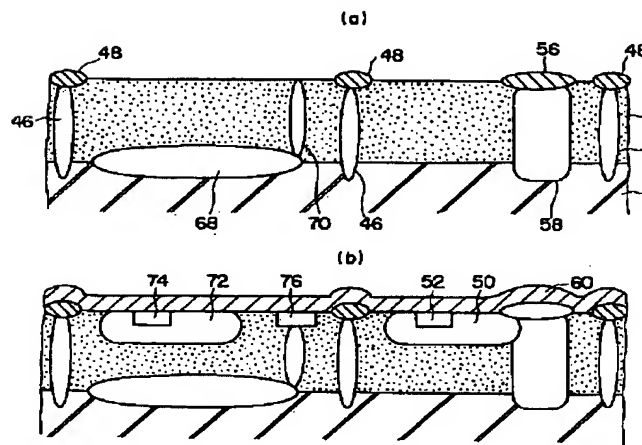
【符号の説明】

10……従来のツェナーザップダイオード、12……p型半導体基板、14……n型エピタキシャル半導体層、16……p型アイソレーション領域、18……LOCOS酸化膜、20……p型ベース拡散領域(アノード領域)、22……n型エミッタ拡散領域(カソード領域)、24……フィールド酸化膜、26……アノード電極、28……カソード電極、30……バリアメタル層、32……Al合金層、40……実施例1のツェナーザップダイオード、42……p型半導体基板、44……n型エピタキシャル半導体層、46……p型アイソレーション領域、48……素子分離用のLOCOS酸化膜、50……p型アノード領域、52……n型カソード領域、54……アノード電極、55……カソード電極、56……別のLOCOS酸化膜、58……p型アノード取り出し拡散領域、60……フィールド酸化膜、61……コンタクトホール、62……コンタクトホール、64……バリアメタル層(TiON膜)、66……Al合金層、68……n型埋め込み層、70……コレクタ取り出しn型プラグ層、72……p型ベース領域、74……n型エミッタ領域、76……n型コレクタコンタクト領域、78……エミッタ電極、80……ベース電極、82……コレクタ電極、84……実施例2のツェナーザップダイオード、86……n型カソード拡散領域、90……実施例3のツェナーザップダイオード、91……NMOSFET、92……PMOSFET、93……p-ウェル、94……n型カソード領域、96……p型アノード領域、98……NMOSFETのソース/ドレイン領域、100……ゲート酸化膜、102……ゲート、104……PMOSFETのソース/ドレイン領域、106……ゲート酸化膜、108……ゲート。

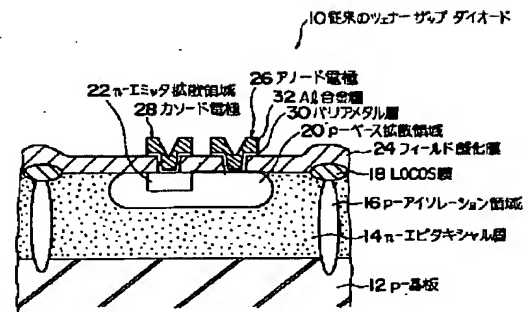
【図1】



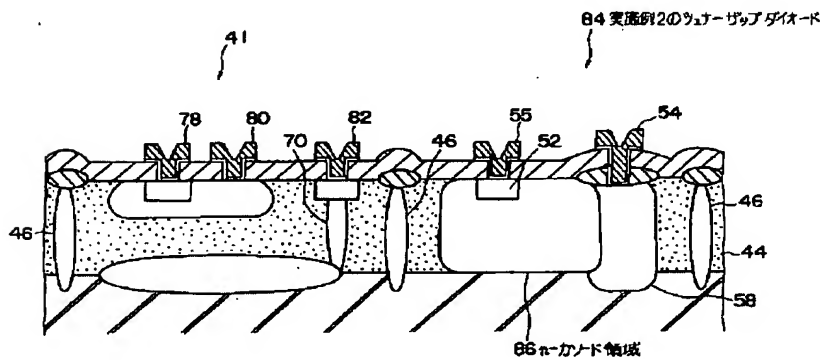
【図2】



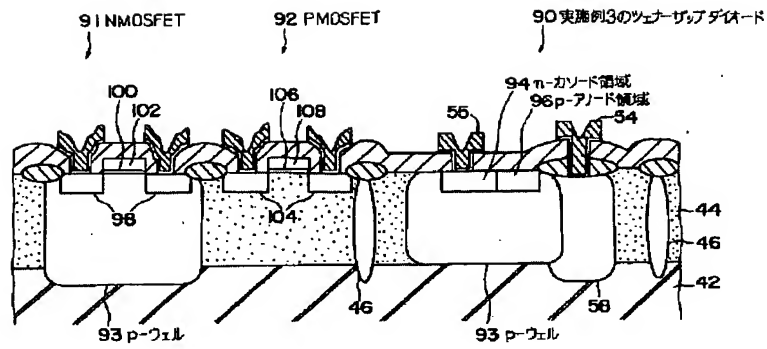
【図5】



【図3】



【図4】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-303437

(43)Date of publication of application : 13.11.1998

(51)Int.Cl.

H01L 29/866

H01L 21/8222

H01L 27/06

H01L 21/8249

(21)Application number : 09-111509

(71)Applicant : SONY CORP

(22)Date of filing : 28.04.1997

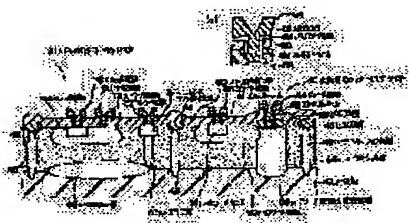
(72)Inventor : OISHI TETSUYA

(54) ZENER ZAP DIODE AND MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a Zener zap diode having a barrier metal layer in its electrode structure and a stable Zener characteristic.

SOLUTION: A Zener zap diode 40 has a barrier metal layer 64 in its electrode structure composed of an anode 54 and cathode 55. Separately from an insulating film 48 for separating element surrounding an active area, an insulating film 56 is provided in the electrode forming area of at least one 54 of the anode 54 and cathode 55 positioned below a field oxide film 60. A contact hole 62 having a large aspect ratio is formed through the field oxide film 60 and the insulating film 56 to connect one electrode to the diffusion area 58 corresponding to the electrode. The electrode is connected to the corresponding diffusion area 58 through a contact plug composed of a wiring metal 66 and a thin barrier metal layer 64 underlying the metal 66 in the contact hole 62. The thickness of the barrier metal layer 64 is reduced by making the coverage at the time of forming the layer 64 worse by enlarging the aspect ratio of the contact hole 62 which connects the electrode to the diffusion area 58.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the manufacture approach of a semiconductor device of having still such zener-zap diode and other semiconductor devices in the same substrate, about the zener-zap diode which has ON resistance stabilized in the detail about the zener-zap diode which has a barrier metal layer in the electrode structure of an anode electrode and a cathode electrode further.

[0002]

[Description of the Prior Art] As for zener-zap diode, it is common to constitute a cathode electrode and a base electrode for the emitter electrode of an NPN bipolar transistor as an anode electrode. Conventionally, aluminum or aluminum alloy is used for wiring linked to electrode structure and an electrode. And on the occasion of trimming, the so-called resistor trimming which impresses the excessive electrical potential difference (and current) of hard flow between the emitters used as the base used as an anode electrode and a cathode electrode, and carries out the destructive short circuit of the PN junction was performed. That is, when a high current flows to the hard flow of a PN junction, a local current concentration field occurs and temperature rises locally in the field. And if the temperature which produces rapid increase of a carrier is reached in this field, it will become a low resistance field momentarily and a PN junction will be destroyed, and further, when aluminum which aluminum fused according to that consecutiveness current, and was fused to anode-cathode inter-electrode Si interface flows, it is thought that trimming is carried out. The field where temperature becomes high locally is also called hot spot. Generally as a cause which a hot spot produces, the ununiformity of diffusion, a crystal defect, the ununiformity of heat leakage, etc. can be considered. By the way, it is becoming general to use refractory metal film like TiON for the electrode structure of a semiconductor device as a barrier metal with detailed-izing of a semiconductor device in recent years for migration control of aluminum metal in a wiring layer and control of aluminum in the contact part of a bipolar transistor and the reaction between Si. Zener-zap diode is formed in many cases in the process that it is usually the same on the same substrate as other semiconductor devices, for example, an NPN bipolar transistor, MOSFET, etc. Therefore, the refractory metal film is conventionally formed between aluminum alloy layer and a diffusion layer as a barrier metal with the electrode structure of zener-zap diode where aluminum or aluminum alloy was used as well as other semiconductor devices.

[0003] Here, with reference to drawing 5, the configuration of the conventional zener-zap diode 10 (simply henceforth zener diode 10) which has a barrier metal layer in metal wiring is explained. n mold epitaxial semi-conductor layer 14 formed on the p type semiconductor substrate 12 as zener diode 10 was shown in drawing 5, p mold isolation field 16 formed in n mold epitaxial layer 14, The LOCOS oxide film 18 formed on p mold isolation field 16, It has p mold base diffusion field (anode field) 20 formed in n mold epitaxial layer 14 surrounded with p mold isolation field 16 and the LOCOS oxide

THIS PAGE BLANK (USPTO)

film 18, and n mold emitter diffusion field (cathode field) 22 formed in p mold base region 20. Furthermore, field oxide 24 was formed on n mold epitaxial layer 14, and the anode electrode 26 and the cathode electrode 28 have connected with p mold base region 20 and n mold emitter region 22 through the contact hole which penetrates field oxide 24, respectively. The anode electrode 26 and the cathode electrode 28 have the laminating electrode structure of the barrier metal layers 30, such as TiON, and the aluminum alloy layer 32, respectively.

[0004]

[Problem(s) to be Solved by the Invention] By the way, with the electrode structure of having the barrier metal layer of above-mentioned zener diode, since a refractory metal like TiON, as a barrier metal layer is formed between Si diffusion layer and aluminum, the principle of the zener diode which such electrode structure makes aluminum and Si react by resistance generation of heat, and is made to short-circuit between an anode-cathode is contrary, and barrier metal checks formation of aluminum filament. For this reason, there was a problem that ON resistance at the time of the destructive short circuit of a PN junction varied. And since zener-zap diode is usually manufactured at the same process as other semiconductor devices, for example, a bipolar transistor, MOSFET, etc., and the same process, if it is going to form only the electrode of zener diode, and metal wiring in the independent layer of aluminum which does not have a barrier metal layer, or aluminum alloy, it will cause increase of a routing counter and will not pay well economically. Moreover, although the electrode configuration which electric field tend to concentrate at the time of the destructive short circuit of a PN junction, and the pattern configuration of a diffusion layer were proposed as an approach which is stabilized and forms aluminum filament, as long as barrier metal was used, there was no change in barrier metal checking formation of aluminum filament, and the effectiveness was insufficient.

[0005] Then, the purpose of this invention is offering the zener-zap diode which has a barrier metal layer in electrode structure, and has ON resistance moreover stabilized.

[0006]

[Means for Solving the Problem] this invention person thought as follows in the problem solving. That is, it is a premise to be formed in the process that it is the same on the same substrate as other semiconductor devices, therefore zener-zap diode needs to carry out a barrier metal layer membrane formation process like formation of other semiconductor devices, for example, MOSFET, or the electrode structure of a bipolar transistor at formation of the electrode structure of zener-zap diode. Otherwise, a routing counter will increase and cost will increase. Then, on the occasion of formation of the electrode structure of a semiconductor device of having zener-zap diode, I thought whether only the barrier metal layer of zener-zap diode could make the thickness very thin thickness. And by enlarging the aspect ratio of the contact hole which connects an electrode and a diffusion field, and worsening the coverage in the case of membrane formation of a barrier metal layer, it hits on an idea of thin-film-izing a barrier metal layer, and came to complete this invention.

[0007] In order to attain the above-mentioned purpose, based on above-mentioned knowledge, the zener-zap diode concerning this invention In the zener-zap diode which has a barrier metal layer in the electrode structure of an anode electrode and a cathode electrode Under the field oxide of the electrode formation field of one [at least] electrode of an anode electrode and a cathode electrode The big contact hole of the aspect ratio which another insulator layer was prepared and penetrated field oxide and another insulator layer In order to connect one electrode to the diffusion field corresponding to the electrode, opening is carried out, and one electrode is characterized by connecting with a correspondence diffusion field through the contact hole embedding plug which consists of a wiring metal and a thin barrier metal layer of the lower layer.

[0008] The thickness of another insulator layer currently formed by this invention is the thickness which can form the contact hole of a required aspect ratio. It is made to be the same thickness suitably in the membrane type as the insulator layer for isolation surrounding an active region with same another

THIS PAGE BLANK (USPTO)

insulator layer. Thereby, another insulator layer and the insulator layer for isolation can be formed at the same process process. Moreover, in practice, the cathode field and anode field of zener-zap diode are constituted by the emitter diffusion layer and base diffusion layer of an NPN bipolar transistor, respectively.

[0009] With the electrode structure of the zener-zap diode of this invention, since the aspect ratio of a contact hole becomes large by the thickness of another insulator layer which a contact hole penetrates compared with the contact hole of other semiconductor devices, also in case a barrier metal layer is formed at the same process as other semiconductor devices, the coverage of a barrier metal layer gets worse and the barrier metal layer of the bottom of a contact hole becomes very thin. Therefore, in the case of the destructive short circuit of the PN junction of zener-zap diode, a barrier metal layer is does not exist substantially at the same thing, and stable ON resistance can be realized. For the zener-zap diode of this invention, the diffusion layer of the bipolar component of structure or the diffusion layer of CMOS can usually be used as a diffusion layer of zener diode.

[0010] In case the zener-zap diode of this invention and the semiconductor device which has an NPN bipolar transistor at least are manufactured, the emitter diffusion layer of an NPN bipolar transistor and the cathode field of zener-zap diode can be formed at the same process, and the base diffusion layer of an NPN bipolar transistor and the anode field of zener-zap diode can also be formed at the same process.

[0011] In case the zener-zap diode of this invention and the semiconductor device which has an NPN bipolar transistor at least are manufactured, n mold plug for collector ejection of an NPN bipolar transistor and the cathode field of zener-zap diode can be formed at the same process, and p mold isolation diffusion layer of an NPN bipolar transistor and the anode field of zener-zap diode can also be formed at the same process.

[0012] Moreover, in case the zener-zap diode of this invention and the semiconductor device which has NMOSFET and PMOSFET at least are manufactured, the source / drain diffusion layer of NMOSFET, and the cathode field of zener-zap diode can be formed at the same process, and the source / drain diffusion layer of PMOSFET, and the anode field of zener-zap diode can also be formed at the same process.

[0013] Furthermore, in case the zener-zap diode of this invention and the semiconductor device which has an NPN bipolar transistor and PMOSFET at least are manufactured, the emitter diffusion layer of an NPN bipolar transistor and the cathode field of zener-zap diode can be formed at the same process, and the source / drain diffusion layer of PMOSFET, and the anode field of zener-zap diode can also be formed at the same process.

[0014] Furthermore, in case the zener-zap diode of this invention and the semiconductor device which has an NPN bipolar transistor and NMOSFET at least are manufactured, the source / drain diffusion layer of NMOSFET, and the cathode field of zener-zap diode can be formed at the same process, and the base diffusion layer of an NPN bipolar transistor and the anode field of zener-zap diode can also be formed at the same process.

[0015] It faces forming the semiconductor device which has the zener diode concerning this invention, and other semiconductor devices on the same substrate, and the zener diode whose ON resistance applied to this invention at the same process process with other semiconductor devices was stable can be formed by the above approach, without increasing a process routing counter.

[0016]

[Embodiment of the Invention] With reference to an accompanying drawing, an example is given to below and the gestalt of operation of this invention is explained to it at concrete and a detail.

Example 1 this example is an example of the zener-zap diode concerning this invention, and is an example in which the zener diode applied to this invention at the same process as an NPN bipolar transistor and the same process is formed. Drawing 1 is the substrate sectional view showing the layer

THIS PAGE BLANK (USPTO)

structure of the semiconductor device which comes to install the zener diode and the NPN bipolar transistor of this example. The zener-zap diode 40 (simply henceforth zener diode 40) of this example is installed on the same semi-conductor substrate 42 as the NPN bipolar transistor 41, as shown in drawing 1.

[0017] n mold epitaxial semi-conductor layer 44 by which zener diode 40 was formed on the p type semiconductor substrate 42, p mold isolation field 46 formed in n mold epitaxial layer 44, The LOCOS oxide film 48 for isolation formed on p mold isolation field 46, It has p mold anode field 50 formed in n mold epitaxial layer 44 surrounded with p mold isolation field 46 and the LOCOS oxide film 48, and n mold cathode field 52 formed in p mold base region 50. In p mold anode field 50 and n mold cathode field 52, the anode electrode 54 and the cathode electrode 55 have flowed, respectively. Furthermore, zener diode 40 has the anode ejection diffusion field 58 of p mold which is under the LOCOS oxide film 48 for isolation, another LOCOS oxide film 56 of the almost same thickness, and the LOCOS oxide film 56, and adjoined the anode field 50, and was formed in the bottom of the anode electrode 54 in n mold epitaxial layer 44. Furthermore, field oxide 60 is formed on n mold epitaxial layer 44 and the LOCOS oxide film 48, and 56. Through the contact plug which embedded the contact hole which penetrates field oxide 60 and the LOCOS oxide film 56, the anode electrode 54 flowed to the anode ejection diffusion field 58, and the cathode electrode 55 has flowed through it to n mold cathode field 52 through the contact hole 61 which penetrates field oxide 60.

[0018] The anode electrode 54 consists of a barrier metal layer 64 which touches the anode ejection diffusion field 58 at the bottom of a contact hole 62, and touches the LOCOS oxide film 56 and field oxide 60 in the side, for example, the TiON film, and an aluminum alloy layer 66 by which the laminating was carried out to the barrier metal layer 64, as shown in drawing 1 (a). It consists of a barrier metal layer 64 to which the cathode field 52 is touched at the bottom of a contact hole 61, and the cathode electrode 55 also touches field oxide 60 in the side, for example, the TiON film, and an aluminum alloy layer 66 by which the laminating was carried out to the barrier metal layer 64.

[0019] Since the contact hole 62 of the anode electrode 54 has penetrated the LOCOS oxide film 56 in addition to field oxide 60, its aspect ratio is large. Therefore, in the contact hole 62, the coverage of the barrier metal layer 64 is bad, and as the pars basilaris ossis occipitalis of a contact hole 66 especially shows to drawing 1 (a), the barrier metal layer 64 is extremely thin. Therefore, with the zener diode 40 of this example, since it is necessary to hardly take into consideration the thickness of the barrier metal layer 64 and the aluminum alloy layer 66 touches Si of a LOCOS oxide film substantially, ON resistance stabilized like the zener-zap diode which is not equipped with a barrier metal layer can be shown.

[0020] Below, how to form the zener diode 40 of this example at the same process and the same process in parallel to formation of the NPN bipolar transistor 41 (simply henceforth a transistor 41) is explained, referring to drawing 2 (a) and (b). First, as shown in drawing 2 (a), n mold embedding layer 68 is formed in p mold substrate 42, and, subsequently n mold epitaxial layer 44 is formed. Next, p mold anode ejection diffusion field 58 is formed with p mold isolation field 46 for isolation. Then, n mold plug layer 70 used as the collector ejection of a transistor 41 is formed. Furthermore, the LOCOS oxide film 56 is formed with a LOCOS oxidation style on the anode ejection diffusion field 58 of zener diode 40 with the LOCOS oxide film 48 for isolation.

[0021] Subsequently, as shown in drawing 2 (b), p mold anode field 50 of zener diode 40 is formed with p mold base region 72 of a transistor 41. Furthermore, n mold emitter region 74 of a transistor 41 and n mold collector contact field 76, and n mold cathode field 52 of zener diode 40 are formed in coincidence, and, subsequently to the whole substrate surface, the field insulator layer 60 is formed.

[0022] Furthermore, as shown in drawing 1, in order to carry out opening of the contact hole 61 which penetrates field oxide 60 in order to form the emitter electrode 78 of a transistor 41, a base electrode 80 and a collector electrode 82, and the cathode electrode 55 of zener diode 40 and to form the anode

THIS PAGE BLANK (USPTO)

electrode 54, opening of the contact hole 62 which penetrates field oxide 60 and the LOCOS oxide film 56 is carried out at the same process. Then, patterning of the barrier metal layer 64 and the aluminum alloy layer 66 is formed and carried out as a metal for electrode ejection.

[0023] Thus, since the contact hole 62 of the anode electrode 54 of zener diode 40 becomes deep [the thickness of the LOCOS oxide film 56] by having formed each electrode compared with the contact hole 61 of other emitter electrodes 78, a base electrode 80, a collector electrode 82, and the cathode electrode 55, the coverage of the barrier metal layer 64 in the electrode edge in contact with the anode ejection diffusion field 58 gets worse. For this reason, the on resistance value which the barrier metal layer 62 becomes easy to be torn at the time of the destructive short circuit of the PN junction of zener diode 40, and was stabilized is acquired. Therefore, zener diode which has the stable on resistance value is realized, without making the number of processes increase.

[0024] Example 2 this example is another example of the zener diode concerning this invention, and is installed on the same substrate as the NPN bipolar transistor of the same configuration as an example 1. Drawing 3 is the substrate sectional view showing the layer structure of the semiconductor device which comes to install the zener diode and the NPN bipolar transistor of this example. The same sign is given to what shows the part same among the parts shown in drawing 4 of drawing 3 and an example 3 as drawing 1 and drawing 2, and the explanation is omitted. As shown in drawing 3, the zener diode 84 of this example adjoins p mold anode ejection field 58 of the zener diode 40 of an example 1, and has the same configuration as the zener diode 40 of an example 1 except for having n mold cathode diffusion field 86 which encloses n mold cathode field 52. Moreover, in this example, the transistor of the same configuration as the transistor 41 of drawing 1 is formed on the same substrate as zener diode 84. n mold cathode diffusion field 86 is a field where n mold high impurity concentration is thinner than n mold cathode field 52.

[0025] In this example, n mold cathode diffusion field 86 of zener diode 84 is formed at the same process as formation of n mold plug layer 70 for collector ejection of a transistor 41, and p mold anode ejection field 58 of zener diode 84 is formed at the same process as formation of p mold isolation field 46. Therefore, this example has realized zener diode which can do so the same effectiveness as the zener diode 40 of an example 1, without increasing the number of processes.

[0026] Example 3 this example is another example of the zener diode concerning this invention, and is installed on the same substrate as PMOSFET and NMOSFET. Drawing 4 is the substrate sectional view showing the layer structure of the semiconductor device which comes to install the zener diode, PMOSFET, and NMOSFET of this example. The zener diode 90 of this example is formed on the same p mold substrate 42 as NMOSFET91 and PMOSFET92, as shown in drawing 4. Zener diode 90 adjoins the anode ejection diffusion field 58 between the anode electrode 54 and the cathode electrode 55, and is p. - It has a well 93 and is p. - It is in a well 93 and has the same configuration as the zener diode 40 of an example 1 except for adjoining under the cathode electrode 55 to n mold cathode field 94 and n mold cathode field 94, and having p mold anode field 96. NMOSFET91 and PMOSFET92 consist of usual structures, as shown in drawing 4, and NMOSFET91 is p. - In a well 93, PMOSFET92 has the gate 102 n mold source / drain field 98, gate oxide 100, and on it, and has the gate 108 again p mold source / drain field 104, gate oxide 106, and on it.

[0027] Zener diode 90 is p. - A well 93 is p of NMOSFET91. - It is the same process as a well 93, and is the process as the source / drain 98 of NMOSFET that the cathode field 94 is the same, and the anode field 96 is the same process as the source / drain 104 of PMOSFET92, and it is formed, respectively. Thereby, this example has realized zener diode which can do so the same effectiveness as the zener diode 40 of an example 1, without increasing the number of processes.

[0028] In example 4BiCMOS, a cathode field is formed with the structure which combined the example 3 from the example 1, for example, the same process as the source/drain of NMOSFET, and an anode field can be formed at the same process as the base of an NPN bipolar transistor.

THIS PAGE BLANK (USPTO)

[0029]

[Effect of the Invention] According to this invention, the diffusion layer of the usual bipolar component or CMOS is used as a diffusion layer of zener-zap diode. Under the field oxide of the electrode formation field of one [at least] electrode of an anode electrode and a cathode electrode Prepare another insulator layer and opening of the big contact hole of the aspect ratio which penetrated field oxide and another insulator layer is carried out. By connecting one electrode to a correspondence diffusion field through the contact hole embedding plug which consists of a wiring metal and a thin barrier metal layer of the lower layer, electrode structure has the thin-film-ized barrier metal layer according to aggravation of the coverage at the time of membrane formation of barrier metal. Thereby, at the time of short circuit destruction of a PN junction, it becomes equivalence mostly with a barrier metal layer not existing, and zener-zap diode which was excellent without the addition of a process process in ON resistance can be realized. this invention approach has realized the approach of manufacturing without the addition of a process process the semiconductor device in which the zener diode of this invention and other semiconductor devices were made installing side by side.

[Translation done.]

THIS PAGE BLANK (USPTO)

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In the zener-zap diode which has a barrier metal layer in the electrode structure of an anode electrode and a cathode electrode Under the field oxide of the electrode formation field of one [at least] electrode of an anode electrode and a cathode electrode The big contact hole of the aspect ratio which another insulator layer was prepared and penetrated field oxide and another insulator layer It is the zener-zap diode which opening is carried out in order to connect one electrode to the diffusion field corresponding to the electrode, and is characterized by connecting one electrode to a correspondence diffusion field through the contact hole embedding plug which consists of a wiring metal and a thin barrier metal layer of the lower layer.

[Claim 2] Zener diode according to claim 1 characterized by being the same thickness with the membrane type as the insulator layer for isolation surrounding an active region with same another insulator layer.

[Claim 3] Zener-zap diode according to claim 1 or 2 with which the cathode field and anode field of zener-zap diode are characterized by being constituted by the emitter diffusion layer and base diffusion layer of an NPN bipolar transistor, respectively.

[Claim 4] The manufacture approach of the semiconductor device characterized by being zener-zap diode given in any 1 term of the claims 1-3, and the manufacture approach of a semiconductor device of having an NPN bipolar transistor at least, forming the emitter diffusion layer of an NPN bipolar transistor, and the cathode field of zener-zap diode at the same process, and forming the base diffusion layer of an NPN bipolar transistor, and the anode field of zener-zap diode at the same process.

[Claim 5] The manufacture approach of the semiconductor device characterized by being zener-zap diode given in any 1 term of the claims 1-3, and the manufacture approach of a semiconductor device of having an NPN bipolar transistor at least, forming n mold plug diffusion layer for collector ejection of an NPN bipolar transistor, and the cathode field of zener-zap diode at the same process, and forming p mold isolation diffusion layer of an NPN bipolar transistor, and the anode field of zener-zap diode at the same process.

[Claim 6] The manufacture approach of the semiconductor device characterized by being zener-zap diode given in any 1 term of the claims 1-3, and the manufacture approach of a semiconductor device of having NMOSFET and PMOSFET at least, forming the source / drain diffusion layer of NMOSFET, and the cathode field of zener-zap diode at the same process, and forming the source / drain diffusion layer of PMOSFET, and the anode field of zener-zap diode at the same process.

[Claim 7] The manufacture approach of the semiconductor device characterized by being zener-zap diode according to claim 1 or 2 and the manufacture approach of a semiconductor device of having an NPN bipolar transistor and PMOSFET at least, forming the emitter diffusion layer of an NPN bipolar transistor, and the cathode field of zener-zap diode at the same process, and forming the source / drain

THIS PAGE BLANK (USPTO)

diffusion layer of PMOSFET, and the anode field of zener-zap diode at the same process.

[Claim 8] The manufacture approach of the semiconductor device characterized by being zener-zap diode according to claim 1 or 2 and the manufacture approach of a semiconductor device of having an NPN bipolar transistor and NMOSFET at least, forming the source / drain diffusion layer of NMOSFET, and the cathode field of zener-zap diode at the same process, and forming the base diffusion layer of an NPN bipolar transistor, and the anode field of zener-zap diode at the same process.

[Translation done.]

THIS PAGE BLANK (USPTO)

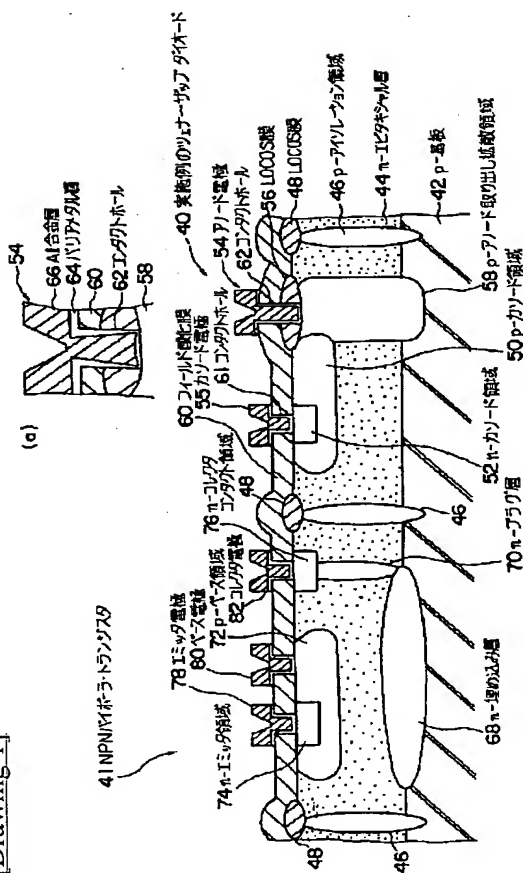
****NOTICES****

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

[Drawing 1]



[Drawing 2]

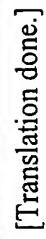
THIS PAGE BLANK (USPTO)



[Drawing 3]

[Drawing 5]

THIS PAGE BLANK (USPTO)



THIS PAGE BLANK (USPTO)